

Kostenloses Design-for-Test (DFT)-Plugin zur Reduzierung von Board-Re-Spins

Das neue XJTAG® DFT-Assistent-Software-Plugin wird Ingenieuren das Erkennen und Beheben von möglichen JTAG-Testbarkeitsproblemen bereits früh in der Entwurfsphase ermöglichen. Weil viele IC-Pakete unzugänglich für physische Tests sind, kann eine Nichtbeachtung dieser Chips während der Testphase in Board-Respins und kostspieligen Projektverzögerungen resultieren.

Der XJTAG DFT-Assistent wird Ihnen helfen, die korrekte Umsetzung der Boundary Scan-Ketten zu validieren, sowie die Erfüllung der bestmöglichen „Design for Test“-Optionen ermöglichen. Darüber hinaus wird die JTAG-Compliance auch eine ganze Reihe weiterer Vorteile für Ihr Board bringen, z.B. das schnellere Debuggen von Prototypen und Geräteprogrammierungen sowie schnellere und kostengünstigere Fertigungstests.

XJTAG Chain Checker

Nach nur vier einfachen Schritten wird der XJTAG Chain Checker in der XJTAG DFT-Assistent Plugin die Netzliste analysieren und eine routbare Scankette generieren können. Diese spezielle DFT-Funktion wird auch prüfen, ob alle TAP-Signale richtig terminiert sind.

Der Chain Checker wird potentielle Fehler und Warnungen für JTAG-Ketten identifizieren.

Dabei werden auch **falsche Kontaktierungen** der Test Access Points (TAPs) entgegen der BSDL-Dateien einer JTAG-kompatiblen Komponente erkannt werden. **Falsche Terminierungen** werden als Warnungen ausgegeben und bei den **Compliance Pins** wird erkannt werden, wenn sie fälschlicherweise auf High oder Low terminiert oder potentialfrei gelassen wurden.

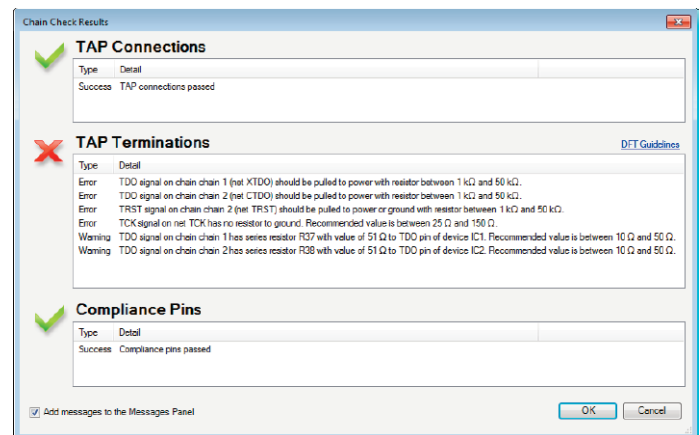
XJTAG Access Viewer

Die XJTAG DFT-Assistent Plugin erkennt auf dem gesamten Schaltplan, welche Signale für einen JTAG-Test zugänglich sind. Die Ergebnisse werden dabei als farblich eingefärbte Netze im Schaltplan angezeigt. Der Anwender kann wahlweise zwischen folgenden Kategorien von Netzen wählen: Lesen, Schreiben, Stromversorgung/Masse und Netze ohne JTAG-Zugriff im Schaltplan.

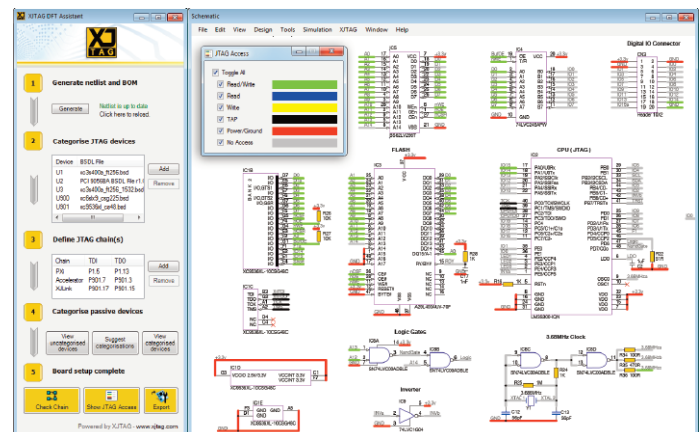
Die Test-Coverage ist übersichtlich dargestellt und auch das Ein- und Ausblenden im Schaltplan kann übersichtlich dokumentiert werden. Schnell lässt sich erkennen, wo die Test-Coverage unzureichend ist und an welcher Stelle noch nachgearbeitet werden muss.

Wesentliche Vorteile

- Führen Sie eine DFT-Analyse für Boundary-Scan-Zugriff in der Schematic Capture-Umgebung durch
- Vermeiden Sie Fehler frühzeitig im Entwicklungszyklus und reduzieren Sie so Board-Re-Spins oder Modifikationen
- Verstehen Sie dank farbcodierter Ansichten, wo Ihre JTAG-Kette Testzugriff bietet
- Erweitern Sie Ihre Boundary-Scan-Testabdeckung durch korrekte Implementierung der JTAG-Ketten
- Verbessern Sie den Produktionsprozess und reduzieren Sie Ihre Produkteinführungszeit
- Export aller Daten in XJDeveloper (Evaluierungs- oder volle Lizenz für XJTAG-Tools erforderlich)



Der XJTAG Chain Checker identifiziert und kategorisiert Fehler und Warnungen in der/n Boundary-Scan-Kette(n)



Der XJTAG Access Viewer bietet während des Designs klare Hinweise auf den Testzugriff an jedem beliebigen Punkt