

## **Embedded Award 2017**

Firma: MathWorks

Produkt: HDL Coder

### **Produktbeschreibung HDL Coder:**

HDL Coder™ generiert plattformunabhängigen, synthetisierbaren Verilog® - und VHDL® - Programmcode aus MATLAB®-Funktionen, Simulink®-Modellen und Stateflow®-Diagrammen. Damit ermöglicht HDL Coder die FPGA-Programmierung und ASIC-Synthese von Algorithmen z.B. für die digitale Signalverarbeitung und Kommunikationstechnik, für digitale Steuerungen und finite Zustandsautomaten, ohne dass Entwickler HDL-Experten sein müssen.

Für die Implementierung des generierten HDL Codes auf ausgewählten FPGA-Entwicklungsplattformen verfügt HDL Coder über einen geführten Workflow und integriert die Tools der FPGA-Hersteller unter einer einheitlichen Oberfläche. Der generierte HDL Code lässt sich hinsichtlich verschiedener Kriterien, wie Fläche, Geschwindigkeit und Verlustleistung optimieren, mit frühzeitigen Abschätzungen der Ressourcen und kritischen Pfade auf RTL-Ebene.

HDL Coder beschleunigt den Entwicklungsprozess und ermöglicht es dem Entwickler, verschiedene Hardware-Architekturen zu untersuchen und die optimale Lösung zu finden. Darüber hinaus ermöglicht HDL Coder eine frühzeitige Verifikation und Prototyping mit den Test-Umgebungen der Algorithmen-Entwickler und unterstützt den Zertifizierungsprozess für Anwendungen mit funktionalen Sicherheitsanforderungen, u.a. durch die Nachverfolgbarkeit des generierten HDL-Codes. HDL Coder generiert zudem spezifisch anpassbare VHDL- und Verilog-Testbenches für die schnelle Verifizierung des generierten HDL-Codes.

Der enthaltene HDL Workflow Advisor konvertiert einerseits MATLAB-Code automatisch von Gleitkomma- zu Festkomma-Code. Dadurch kann ein Algorithmus auf einer hohen Ebene mithilfe abstrakter MATLAB-Konstrukte und System Objects modelliert werden, während gleichzeitig Optionen für die Generierung von HDL-Code bereitgestellt werden, die für die Hardware-Implementierung optimiert sind.

Durch die native Gleitkomma-Unterstützung kann andererseits zielunabhängiger, synthetisierbarer RTL-Code aus Gleitkommamodellen mit einfacher Genauigkeit generiert werden, ohne dass eine aufwändige Festkomma-Konvertierung erforderlich wäre. Hardwareentwicklung erforderte traditionell diese Konvertierung, um mathematische Operationen auf FPGA/ASIC zu realisieren. Manche Anwendungen basieren jedoch auf Berechnungen mit hohem Dynamikumfang, wodurch sehr große Festkomma-Wortlängen erforderlich wären, um sowohl Magnitude als auch Genauigkeit Rechnung zu tragen. Native Gleitkomma-Unterstützung benötigt keine Gleitkomma-Prozessoren oder harte Gleitkomma-DSP-Blöcke auf FPGA/ASIC und kann sogar auf eingebetteten Prozessoren und PLCs genutzt werden, die keine Gleitkomma-Einheiten aufweisen, wodurch Nutzer Anwendungen mit hohem Dynamikumfang auf reiner Integer-Hardware modellieren können.

Der HDL Workflow Advisor, der die Programmierung von Xilinx® - und Intel®-FPGAs automatisiert, bietet Kontrolle über die HDL-Architektur und Implementierung, hebt kritische Pfade hervor und erstellt Hardwareressourcennutzungs-Schätzungen. HDL Coder bietet Rückverfolgbarkeit zwischen dem Simulink-Modell und dem generierten Verilog- und VHDL-Code und ermöglicht die Code-Verifizierung für Anwendungen hoher Integrität, die DO-254 und anderen Standards entsprechen müssen.